

Japanese Utility Model Application Laid-Open No. 61-156239

Claim:

A shading structure in an integrated circuit chip, comprising a light-transmission base plate, a wiring pattern formed by an electric conductor on said base plate, an integrated circuit chip disposed on said base plate, said chip including electrode terminals to be connected to said wiring pattern, and a shading member located on said base plate at a position corresponding to the position of said integrated circuit chip disposed on said base plate.

# 公開実用 昭和61-156239

① 日本国特許庁(JP)

① 実用新案出願公開

## ② 公開実用新案公報(U) 昭61-156239

③ Int. Cl.<sup>4</sup>

H 01 L 23/12  
21/60

識別記号

庁内整理番号

7357-5F  
6732-5F

④ 公開 昭和61年(1986)9月27日

審査請求 未請求 (全 頁)

⑤ 考案の名称 集積回路チップの遮光構造

⑥ 実 願 昭60-38188

⑦ 出 願 昭60(1985)3月19日

⑧ 考 案 者 近 藤 彰 男 八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑨ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑩ 代 理 人 弁理士 町田 俊正



## 明 細 書

### 1 考案の名称

集積回路チップの遮光構造

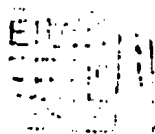
### 2 実用新案登録請求の範囲

光透過性の基板と、この基板上に導電体により形成された配線パターンと、この配線パターンに接続される電極端子を有し前記基板上に配設される集積回路チップと、この集積回路チップが配設される位置に対応して前記基板上に設けた遮光部材とを具備する集積回路チップの遮光構造。

### 3 考案の詳しい説明

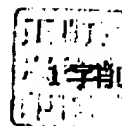
#### 〔考案の技術分野〕

この考案は基板を透過して集積回路チップに照射する光を遮断させる集積回路チップの遮光構造に関する。



〔従来技術〕

第3図は従来のI Oチップの装着構造を示しており、透明もしくは半透明な基板5上には複数の導体パターン4が形成されている。この基板5の上面及び導体パターン4の上面には一様に異方性導電接着剤7が塗布されており、この異方性導電接着剤7はスチレン又はブタジエンゴム等中に溶解用の金属粉6（ハンダ粒子）が所定量混入されたものである。1は被覆されていないI Oチップであり、I Oチップ1の下面両端部にはA Bの電極端子2が設けられている。このI Oチップを所定の工具で基板5に向けて押圧し電極端子2と導電パターン4との間の異方性導電接着剤7を圧縮して所定温度に加熱することによりI Oチップ1を基板5に固着するとともに、各電極端子2と各導電パターン4とを溶融金属3により夫々接続している。ここで異方性導電接着剤7は押圧された方向に導通し、その他の方向では絶縁性を保っており、導電パターン4同士がショートすることはない。



### 〔従来の問題点〕

上記 I O チップの実装構造では I O チップ 1 の各電極端子 2 と基板 5 の各導体パターン 4 とを正確に位置合せした上で I O チップ 1 と基板 5 とを圧接し加熱する必要がある。ここで I O チップ 1 はフェイスダウン方式になっているため電極端子 2 は上からは見えず透明な基板 5 を通して裏側から観察している。この位置合せ作業は生産ラインでは光電子的に行なわれ、基板 5 の裏側から強い光を照らし TV カメラ等で観測しながら自動的に行っている。このとき被覆されていない I O チップ 1 の回路は基板 5 を透過した強い光に照射される、光に敏感な半導体物質から構成された I O 回路は、回路網が破壊されたり、半導体の物性特性が変化を受けたりする。このためこのような I O チップ 1 を搭載した最終製品の電気機器は動作しなかつたり、誤動作をしたりするという問題があった。又電子機器に実装後基板 5 と I O チップ 1 がカメラのフラッシュ等の光に晒される場合には



誤動作を生ずるような恐れもあつた。

〔 考案の目的 〕

この考案は光によるＩＯチップの誤動作の発生を防止するとともに、電気的飛来ノイズに対しても防御性を有するＩＯチップの遮光構造を提供するものである。

〔 考案の要点 〕

光透過性の基板上に配線パターンとともにＩＯチップを遮蔽するための遮光部を形成したことを特徴としている。

〔 実施例 〕

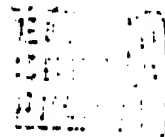
第１図、第２図は本考案の集積回路チップの遮光構造を示しており、透明もしくは半透明の基板１５上には複数の互いに離隔した導体パターン１４が形成されている。これら導体パターン１４の各端部は組ごとに略直線上に並びこの実施例では各組の端部は矩形状に配設されている。この矩形状

状に囲まれた基板 1 5 上面には略矩形で不透明な遮蔽パターン 1 8 が導体パターン 1 4 の端部から所定距離離隔して形成されており、この遮蔽パターン 1 8 の一端は導体パターン 1 4 のうちの一本 1 9 と一体形成されている。これら導体パターン 1 4、1 9 及び遮蔽パターン 1 8 はエッチング等により同時に形成される銅箔等の金属であり導電性であるが光は透過させない。このようにして導体パターン 1 4 と不透明な遮蔽パターン 1 8 との間には帯状の透明領域 A が基板 1 5 上に残される。次に基板 1 5、導体パターン 1 4 及び遮蔽パターン 1 8 の上面には一様に異方性導電接着剤 1 7 が塗布されており、この異方性導電接着剤 1 7 はスチレン又はブタジエンゴム中に溶融用の金属粉 1 6 (ハンダ粒子) が混入されたものである。1 1 は被覆されていない集積回路チップ (I O チップ) であり、この I O チップ 1 1 の下面端部には A 2 の電極端子 1 2 が複数個設けられている。この電極端子 1 2 の相隣る端子同志の間隔と前記導体パターン 1 4 の相隣るパターン同志の間隔とは互い



に略等しくなっている。I Oチップ12を基板15上にこれら電極端子12と導電パターン14を重ねるようにして異方性導電接着剤17を介して押圧し加熱して電極端子12と導電パターン14とを溶接しかつI Oチップ12を基板15上に固着する。押圧加熱された異方性導電接着剤17の金属粉16は溶融して溶融金属13となり電極端子12と導電パターン14とを互に溶着させて導通する。電極端子12と導電パターン14の位置合せを行うと遮蔽パターン14は丁度I Oチップ11の下面の電極端子12に囲まれた領域と重なるようになっている。この重った領域にI Oチップ11の半導体物質からなる回路部分があり、基板15の帯状透明領域Aを通して電極端子12回りは観察できるが回路部分は観察できないようになっている。従つてI Oチップ11を基板15に面実装する際、自動位置合せ装置で強い光が照射されてもI Oチップ11の半導体回路は遮蔽パターン18によりその光が遮断されるため回路破壊や物性特性変化から保護される。又このように実





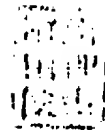
装された回路基板 15 を搭載する電子機器でカメラのフラッシュ等の光を発する場合にも I O チップ 11 回路は遮蔽パターン 18 により常に遮光されているため光による誤動作が起らなくなる。

#### 〔 考案の効果 〕

以上説明してきたように、この考案によれば、I O チップの半導体回路を覆う不透明な遮蔽パターンを透明基板上に導体パターンとともに形成したため、透明基板を透過する光をこの遮蔽パターンで遮光し、光による I O チップの誤動作の発生をなくすることが可能となつた。

なお、上記実施例ではリジッドタイプの透明基板について説明したが、フレキシブルタイプの透明基板でもよい、又矩形の遮蔽パターンに限られることはなく円形、三角形等その形は I O チップの形に合わせて任意の形状の不透明遮蔽パターンを形成してもよい。

又遮蔽パターン 18 と一体形成された導体パターン 19 を電源側グラウンドに接続することにより



10チップ11の電氣的ノイズに対するシールド効果も得られる。

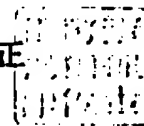
4. 図面の簡単な説明

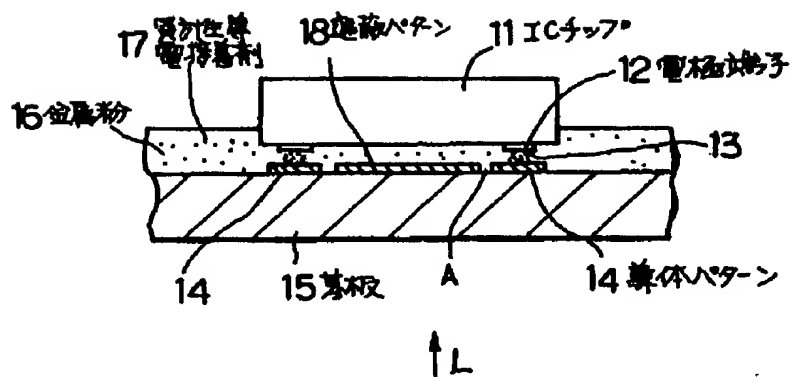
第1図は本考案に係る集積回路チップの遮光構造を示す断面図、第2図は第1図のL矢視裏面図、第3図は従来集積回路チップの装着構造を示す断面図である。

11……集積回路チップ、12……電極端子、  
14……導体パターン、15……基板、16……  
金属粉、17……異方性導電接着剤、18……遮  
蔽パターン。

実用新案登録出願人 カシオ計算機株式会社

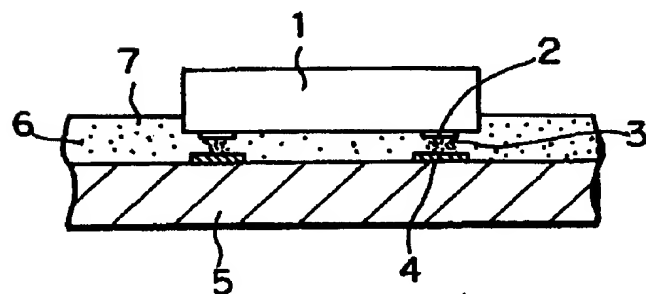
代理人 弁理士 町 田 俊 正





本考案のICチップの実装断面図

第 1 図

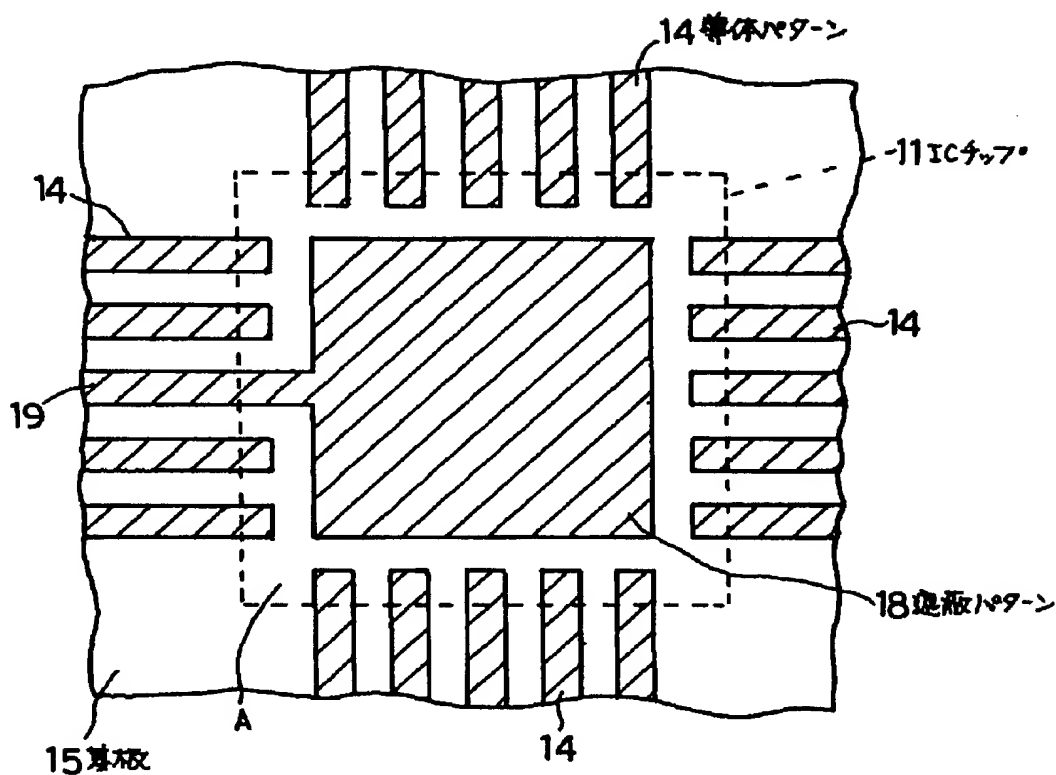


第 3 図

415

実開 61-156239

出 願 人 カシオ計算機株式会社  
代 理 人 弁理士 町田 俊 正



基板パターンの表面図  
第 2 図

416

実用 61-156239

出 願 人 カシオ計算機株式会社  
代 理 人 弁理士 町田 俊 正